



⑮ **BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENTAMT**

⑫ **Off nlegungsschrift**
⑩ **DE 197 47 105 A 1**

⑤ Int. Cl.⁶:
H 01 L 23/50
H 01 L 25/065
H 01 L 23/28

⑳ Aktenzeichen: 197 47 105.6
㉔ Anmeldetag: 24. 10. 97
㉕ Offenlegungstag: 2. 7. 98

DE 197 47 105 A 1

③① Unionspriorität:
73494/1996 27. 12. 96 KR

㉑ Anmelder:
LG Semicon Co. Ltd., Chungcheongbuk-Do, KR

㉒ Vertreter:
TER MEER STEINMEISTER & Partner GbR
Patentanwälte, 81679 München

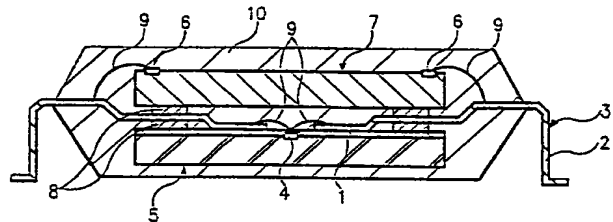
㉓ Erfinder:
Cho, Jae-Weon, Chungcheongbuk, KR

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ **Bauelement mit gestapelten Halbleiterchips**

⑤⑦ Bauelement mit gestapelten Halbleiterchips, mit einer Mehrzahl von Leitungen (3), die jeweils aus einer inneren Leitung (1) und einer sich aus dieser erstreckenden äußeren Leitung (2) gebildet sind, mindestens einem unter den inneren Leitungen (1) liegenden ersten Halbleiterchip (5) mit einer Mehrzahl von ersten Anschlußflächen (4), mindestens einem über den inneren Leitungen (1) liegenden zweiten Halbleiterchip (7) mit einer Mehrzahl von zweiten Anschlußflächen (6), mindestens zwei beidseitig klebenden isolierenden Elementen (8), die jeweils zwischen den inneren Leitungen (1) und dem ersten Halbleiterchip (5) und/oder dem zweiten Halbleiterchip (7) angeordnet sind, einer Mehrzahl von Drähten (9) zur jeweiligen elektrischen Verbindung einer der Anschlußflächen (4, 6) mit einer der inneren Leitungen (1), und einem gegossenen Körper, der außer den äußeren Leitungen (2) alle übrigen Bestandteile des Bauelements umschließt.



DE 197 47 105 A 1

Beschreibung

Die Erfindung betrifft ein Bauelement mit gestapelten Halbleiterchips, insbesondere ein Bauelement einer LOC (Lead On Chip)-Struktur, die zur Stapelung der Halbleiterchips in dem Bauelement auf geeignete Weise modifiziert wird.

Die bei der Herstellung von LOC-Bauelementen angewandte Technik garantiert einen hohen Integrationsgrad. Dabei weist das LOC-Bauelement im allgemeinen ein zu einem mittleren Bereich der oberen Oberfläche eines Chips geführtes Ende eines IC-Trägers auf, das durch Drahtbondung mit einer Anschlußfläche verbunden ist, die einen externen Anschluß des Chips auf seinem mittleren Bereich darstellt. Verglichen mit früheren Bauelementen, etwa einem DIP (Dual Inline Package)-Bauelement, bei dem die IC-Träger entlang der Seiten des Chips angeordnet sind, bietet das LOC-Bauelement den Vorteil, daß die Breite des in einem eine bestimmte Breite aufweisenden Gießkörper unterzubringenden Chips vergrößert werden kann.

Fig. 1 zeigt ein in der US 5 068 712 offenbartes LOC-Bauelement im Querschnitt, wie es allgemein bekannt ist. Bei der Herstellung des darin beschriebenen LOC-Bauelements wird zuerst ein Halbleiterchip 5 mit mittigen Anschlußflächen 4 im zentralen Bereich des Bauelements und einer Isolationschicht auf seiner oberen Oberfläche mittels beidseitig klebender und isolierender Streifen 8a jeweils an einer inneren Leitung 1a einer Zuleitung 3a befestigt. Anschließend erfolgt eine Drahtbondung, bei der die inneren Leitungen 1a eines IC-Trägers und die mittigen Anschlußflächen 4 jeweils über einen Draht 9 verbunden werden. Der Draht 9 ist dabei als sehr feine metallische Leitung ausgebildet. Am Ende des Herstellungsvorgangs des Bauelements wird mittels eines Gießharzes das Gehäuse geformt.

Das oben beschriebene bereits bekannte LOC-Bauelement weist jedoch den Nachteil auf, daß die Kapazität des Halbleiterchip-Bauelements nicht erhöht werden kann, da lediglich ein Chip in dem Gießkörper 10 enthalten ist. Folglich müssen zur Erhöhung der Integrationskapazität von Halbleiterchip-Bauelementen viele solcher Bauelemente auf einer Leiterplatte untergebracht werden, die dadurch jedoch relativ groß wird. Dies ist schon deshalb nicht wünschenswert, da elektrische Geräte immer leichter, dünner, kürzer und schmaler werden sollen.

Aufgabe der Erfindung ist es ein Bauelement der eingangs genannten Art zu schaffen, mit dem es möglich ist, bei gleichbleibender Bauelementzahl die Integrationskapazität von Halbleiterchip-Bauelementen zu erhöhen.

Die Lösung der gestellten Aufgabe ist dem Patentanspruch 1 zu entnehmen. Vorteilhafte Ausgestaltungen sind in den Unteransprüchen dargestellt.

Das Bauelement mit gestapelten Halbleiterchips gemäß der Erfindung zeichnet sich dadurch aus, daß in ihm folgendes enthalten ist:

Eine Mehrzahl von Leitungen, die jeweils aus einer inneren Leitung und einer sich aus dieser erstreckenden äußeren Leitung gebildet sind; mindestens ein unter den inneren Leitungen liegender erster Halbleiterchip mit einer Mehrzahl von ersten Anschlußflächen; mindestens ein über den inneren Leitungen liegender zweiter Halbleiterchip mit einer Mehrzahl von zweiten Anschlußflächen; mindestens zwei beidseitig klebende isolierende Elemente, die jeweils zwischen den inneren Leitungen und dem ersten Halbleiterchip und/oder dem zweiten Halbleiterchip angeordnet sind; eine Mehrzahl von Drähten zur jeweiligen elektrischen Verbindung einer der Anschlußflächen mit einer der inneren Leitungen; und ein Gießkörper, der außer den äußeren Leitungen alle übrigen Bestandteile des Bauelements umschließt.

Dabei sind die ersten Anschlußflächen mittig auf dem ersten Halbleiterchip angeordnet, während die zweiten Anschlußflächen des zweiten Halbleiterchips am Rande einer oberen Oberfläche des zweiten Halbleiterchips angeordnet sind.

Durch die oben genannte Ausgestaltung des Bauelements ist es möglich, in diesem zwei Halbleiterchips zu stapeln, wodurch die Integrationskapazität des Halbleiterchip-Bauelements vergrößert wird.

Ferner können auch mehr als zwei Halbleiterchips in dem Bauelement gemäß der Erfindung enthalten sein, wobei diese dann auf geeignete Weise unter oder über den inneren Leitungen angeordnet werden und jeweils geeignete Anschlußflächen aufweisen.

Zwischen den inneren Leitungen und dem ersten und zweiten Halbleiterchip sind beidseitig klebende isolierende Elemente angeordnet, um u. a. zu verhindern, daß die Halbleiterchips von einer inneren Leitung kurzgeschlossen werden.

Alternativ können die Halbleiterchips auf ihrer zu den inneren Leitungen weisenden Oberfläche mit einer Isolationschicht versehen sein, was ein direktes Anordnen der Halbleiterchips auf den inneren Leitungen ermöglicht. Um ein Verrutschen der Halbleiterchips zu vermeiden müssen diese dann direkt mit den inneren Leitungen verklebt werden.

Nach einer bevorzugten Weiterbildung der Erfindung enthält die innere Leitung zwei zwischen gekrümmten Bereichen gebildete Stufen sowie ein Ende der inneren Leitung. Diese stufenförmige Ausgestaltung der inneren Leitungen ermöglicht es auf einfache Weise die jeweiligen Anschlußflächen der entsprechenden Halbleiterchips mit den entsprechenden inneren Leitungen zu verbinden. Anhand der äußeren höheren Stufe können die Leitungen zu den seitlichen Anschlußflächen des oberen zweiten Halbleiterchips kurz gehalten werden.

Nach einer anderen Weiterbildung der Erfindung verbindet jeweils einer der Drähte eine der ersten Anschlußflächen des ersten Halbleiterchips mit einer der inneren Leitungen, wobei ein anderer der Drähte eine der zweiten Anschlußflächen des zweiten Halbleiterchips mit einem oberen Teil der gekrümmten Bereiche einer anderen der inneren Leitungen verbindet, um so jede der Anschlußflächen der ersten und zweiten Halbleiterchips jeweils mit einer der inneren Leitungen elektrisch zu verbinden.

Nach einer noch anderen Ausgestaltung der Erfindung ist das beidseitig klebende isolierende Element aus einer aus Polyamidharz bestehenden mittleren Schicht gebildet, auf deren Stirnseiten sich jeweils eine Klebschicht befindet. Ferner kann natürlich auch für die mittlere Schicht ein anderes geeignetes isolierendes Material verwendet werden.

Die Erfindung wird im folgenden unter Bezugnahme auf die beigelegte Zeichnung anhand eines bevorzugten Ausführungsbeispiels näher beschrieben. Es zeigen:

Fig. 1 einen Querschnitt in Längsrichtung eines bereits bekannten LOC-Halbleiterchip-Bauelements; und

Fig. 2 einen Querschnitt in Längsrichtung eines Halbleiterchip-Bauelements gemäß dem bevorzugten Ausführungsbeispiel der Erfindung.

Fig. 2 zeigt ein Halbleiterchip-Bauelement gemäß dem bevorzugten Ausführungsbeispiel der Erfindung, mit einer Mehrzahl von Leitungen 3, die jeweils aus einer inneren Leitung 1 mit gekrümmten Bereichen und einer sich aus dieser erstreckenden äußeren Leitung 2 gebildet sind. Fig. 2 zeigt ferner einen ersten Halbleiterchip 5, der eine Mehrzahl von mittigen Anschlußflächen 4 aufweist und unterhalb der inneren Leitungen 1 angeordnet ist. Oberhalb der inneren Leitungen 1 ist ein zweiter Halbleiterchip 7 angeordnet, der auf seiner oberen Oberfläche eine Mehrzahl von seitlich an-

geordneten Anschlußflächen 6 enthält. Zwischen den inneren Leitungen 1 und den ersten und zweiten Halbleiterchips 5, 7 befinden sich beidseitig klebende isolierende Elemente 8. Derartige Paare von Elementen 8 liegen an beiden Längsrändern der Halbleiterchips 5, 7. Eine Mehrzahl von Drähten 9 ist vorhanden, die jeweils eine der Anschlußflächen 4, 6 mit einem der inneren Leiter 1 elektrisch verbinden. Sämtliche genannten Bestandteile des Bauelements gemäß der Erfindung sind von einem Gießkörper umgeben, aus dem lediglich die äußeren Leitungen 2 herausragen. Wie in Fig. 2 gezeigt, bilden die gekrümmten Bereiche des inneren Leiters 1 zwei Stufen mit unterschiedlichen Höhen, wobei jeweils einer der Drähte 9 eine der mittigen Anschlußflächen 4 des ersten Halbleiterchips 5 mit einem der inneren Leiter 1 verbindet, was z. B. durch Bonden erfolgen kann. Ferner verbinden die Drähte 9 jeweils eine der seitlich ausgebildeten Anschlußflächen 6 des zweiten Halbleiterchips 7 mit einem der inneren Leiter 1 in seinem oberen Stufenbereich. Die jeweils zwischen den Halbleiterchips 5, 7 und dem inneren Leiter 1 angeordneten Elemente 8 weisen eine mittlere Schicht auf, die aus temperaturbeständigem Harz, z. B. Polyamidharz gebildet ist, wobei sich an den beiden zu den Chips weisenden Seiten der mittleren Schicht jeweils eine Klebeschicht befindet.

Im folgenden werden die Verfahrensschritte zur Herstellung des oben genannten Bauelements mit gestapelten Halbleiterchips gemäß dem bevorzugten Ausführungsbeispiel der Erfindung genauer erklärt.

Zuerst wird der Innenleiter 1 derart gebildet, daß er gekrümmte Bereiche mit zwei Stufen unterschiedlicher Höhe aufweist. An einer oberen und unteren Seite der zweiten bzw. mittleren Stufe des inneren Leiters 1 wird dann ein beidseitig klebendes isolierendes Element 8 befestigt. Die Herstellung des beidseitig klebenden isolierenden Elements 8 erfolgt dabei separat durch Bildung einer Polyamidharz-Schicht, auf deren Hauptflächen jeweils eine Klebeschicht aufgebracht wird. Nach dem Befestigen der beidseitig klebenden isolierenden Elemente auf der oberen und unteren Seite des zweiten Stufenbereichs des inneren Leiters 1 erfolgt ein Befestigen des ersten Halbleiterchips 5 mit seiner oberen Fläche an der unteren Fläche des beidseitig klebenden isolierenden Elements 8, das sich auf der unteren Seite des zweiten (mittleren) Stufenbereichs des inneren Leiters 1 befindet. Im oberen mittleren Bereich des ersten Halbleiterchips 5 und vorzugsweise parallel zu seinen Längsseiten befinden sich eine Mehrzahl von als elektrische Anschlüsse dienende mittige Anschlußflächen 4. Mit diesen ersten Anschlußflächen 4 auf dem ersten Halbleiterchip 5 werden die Enden einer Vielzahl der inneren Leitungen 1 verbondet. Im Anschluß daran wird der zweite obere Halbleiterchip 7 auf der freien Oberfläche des beidseitig klebenden isolierenden Elements 8, das sich auf der oberen Seite des zweiten Stufenbereichs der inneren Leitungen 1 befindet, befestigt. Parallel zu den Längsseiten und in Randbereichen des zweiten Halbleiterchips 7 befindet sich eine Mehrzahl von als elektrische Anschlüsse dienende Anschlußflächen 6. Diese zweiten Anschlußflächen 6 werden jeweils mit den äußersten höchsten Stufenbereichen der inneren Leitungen 1 elektrisch verbondet. Nach der o.g. aufeinanderfolgenden Befestigung der ersten und zweiten Halbleiterchips 5, 7 und den darauffolgenden ersten und zweiten Drahtbondungen werden die ersten und zweiten Halbleiterchips 5, 7, die inneren Leitungen 1, die Drähte 9 und die beidseitig klebenden isolierenden Elemente 8 mittels eines Gießharzes miteinander vergossen, wobei lediglich die äußeren Leitungen 2 frei bleiben. Nach dem Aushärten des Gießharzes wird ein Gießkörper 10 erhalten, in dem gestapelte Halbleiterchips enthalten sind, wobei die Integrationskapazität des Halbleiterchip-

Bauelements vergrößert ist.

Da es, wie oben beschrieben, mit der Erfindung möglich ist, durch Modifikation eines Bauelements mit einer LOC-Struktur, Halbleiterchips in einem Bauelement zu stapeln, kann folglich die Integrationskapazität von Halbleiterchip-Bauelementen vergrößert werden. Mit Hilfe der Erfindung können somit verschiedene elektrische Geräte kompakter und kleiner hergestellt werden, da der Montagebereich für die Halbleiterchip-Bauelemente auf einer Leiterplatte verkleinert werden kann.

Patentansprüche

1. Bauelement mit gestapelten Halbleiterchips, enthaltend:

- eine Mehrzahl von Leitungen (3), die jeweils aus einer inneren Leitung (1) und einer sich aus dieser erstreckenden äußeren Leitung (2) gebildet sind;
- mindestens einen unter den inneren Leitungen (1) liegenden ersten Halbleiterchip (5) mit einer Mehrzahl von ersten Anschlußflächen (4);
- mindestens einen über den inneren Leitungen (1) liegenden zweiten Halbleiterchip (7) mit einer Mehrzahl von zweiten Anschlußflächen (6);
- mindestens zwei beidseitig klebende isolierende Elemente (8), die jeweils zwischen den inneren Leitungen (1) und dem ersten Halbleiterchip (5) und/oder dem zweiten Halbleiterchip (7) angeordnet sind;
- eine Mehrzahl von Drähten (9) zur jeweiligen elektrischen Verbindung einer der Anschlußflächen (4, 6) mit einer der inneren Leitungen (1); und
- einen gegossenen Körper, der außer den äußeren Leitungen (2) alle übrigen Bestandteile des Bauelements umschließt.

2. Bauelement nach Anspruch 1, bei dem jede innere Leitung (1) mindestens zwei zwischen gekrümmten Bereichen gebildete Stufen und ein Ende der inneren Leitung (1) enthält.

3. Bauelement nach Anspruch 1 oder 2, bei dem einer der Drähte (9) eine der ersten Anschlußflächen (4) des ersten Halbleiterchips (5) mit einer der inneren Leitungen (1), und ein anderer der Drähte (9) eine der zweiten Anschlußflächen (6) des zweiten Halbleiterchips (7) mit einem oberen Teil der gekrümmten Bereiche einer anderen der inneren Leitungen (1) verbinden, um so jede der Anschlußflächen (4, 6) der ersten (5) und zweiten (7) Halbleiterchips jeweils mit einer der inneren Leitungen (1) elektrisch zu verbinden.

4. Bauelement nach Anspruch 1, bei dem das beidseitig klebende isolierende Element (8) aus einer aus Polyamidharz bestehenden mittleren Schicht gebildet ist, auf deren Hauptflächen sich jeweils eine Klebeschicht befindet.

Hierzu 1 Seite(n) Zeichnungen

FIG. 1
Stand der Technik

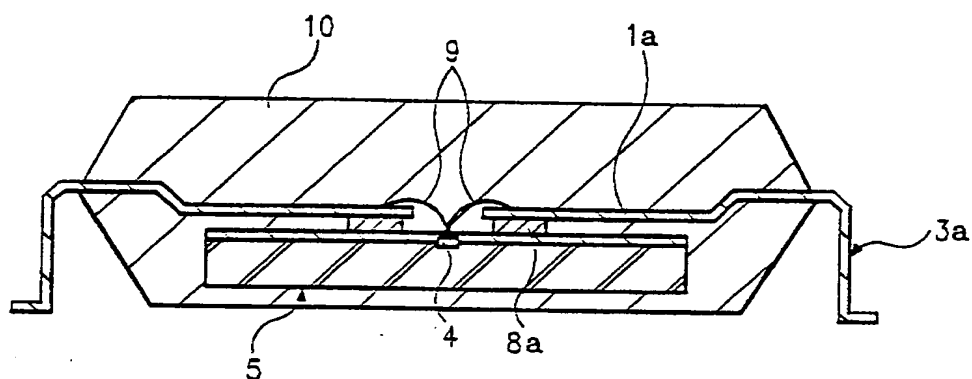
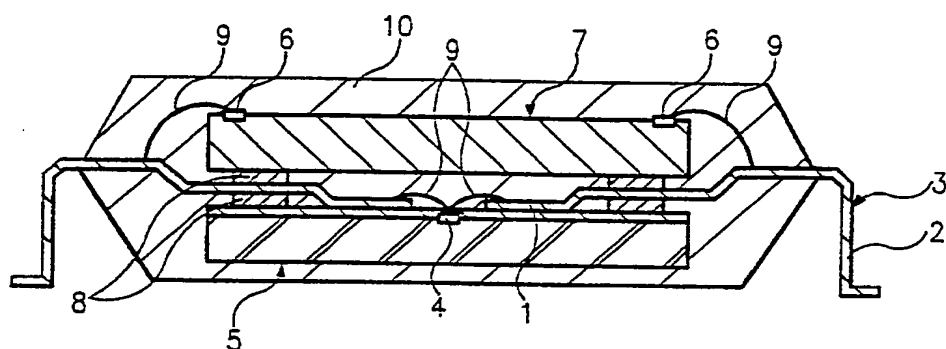


FIG. 2



Stacking type semiconductor chip packag

Patent Number: US6087718
Publication date: 2000-07-11
Inventor(s): CHO JAE WEON (KR)
Applicant(s): LG SEMICON CO LTD (KR)
Requested Patent: DE19747105
Application Number: US19970990718 19971215
Priority Number(s): KR19960073494 19961227
IPC Classification: H01L23/02
EC Classification: H01L23/495A4, H01L23/495L
Equivalents: CN1086059B, CN1186338, JP10200043, JP2939614B2, KR226737

Abstract

A stacked-type semiconductor chip package of a lead on chip structure which is modified for stacking chips in the package, including a plurality of leads each having an inner lead portion and an outer lead portion extending from the inner lead portion, a lower semiconductor chip having a plurality of center pads and disposed under the inner lead portion, an upper semiconductor chip having a plurality of side pads and disposed above the inner lead portions, a plurality of side adhesive insulating members inserted between the inner lead portions and each of the upper and lower semiconductor chips, a plurality of wires which provide electrical connection between the pads and the inner lead portions, and a molding body which seals the structure other than the outer lead portions.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)

DOCKET NO: MAS-FIN-419

SERIAL NO: _____

APPLICANT: W. Hetzel et al.

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100